



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 7 2 1 4 1
Application Number:

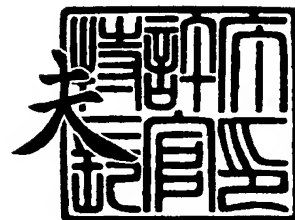
[ST. 10/C] : [J P 2 0 0 3 - 0 7 2 1 4 1]

出 願 人 株 式 会 社 リ コ ー
Applicant(s):

2 0 0 4 年 1 月 1 5 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 187547

【提出日】 平成15年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 19/00

【発明の名称】 インタフェース回路及びインタフェース回路を有する光
ディスク装置

【請求項の数】 9

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 宮西 勇

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 中原 和之

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 インタフェース回路及びインタフェース回路を有する光ディスク装置

【特許請求の範囲】

【請求項 1】 低消費電力で動作を行う動作モードを備えた所定の機能を有する装置と該装置が接続されるホスト装置との間のインタフェースを行うインタフェース回路において、

前記ホスト装置との間で伝送を行うデータを一時的に格納するレジスタ回路部と、

前記ホスト装置から入力された前記レジスタ回路部の所望のアドレスを示す情報を格納する第 1 記憶回路部と、

該第 1 記憶回路部に格納された対応するアドレス情報が示す前記レジスタ回路部のアドレスに書き込むために前記ホスト装置から入力されたデータを格納する第 2 記憶回路部と、

前記第 1 記憶回路部及び第 2 記憶回路部の動作制御をそれぞれ行う制御回路部と、

を備え、

前記制御回路部は、前記低消費電力の動作モードになると、前記ホスト装置から入力された前記レジスタ回路部の所望のアドレスを示す情報を、ホスト装置から入力された順に前記第 1 記憶回路部に格納させると共に、第 1 記憶回路部に格納された該アドレス情報が示す前記レジスタ回路部のアドレスに書き込むために前記ホスト装置から入力されたデータを、ホスト装置から入力された順に前記第 2 記憶回路部に格納させることを特徴とするインタフェース回路。

【請求項 2】 前記制御回路部は、低消費電力の動作モードから通常動作モードに復帰する際、前記第 1 記憶回路部に対して、格納されたアドレス情報を格納順に前記レジスタ回路部に出力させると共に、前記第 2 記憶回路部に対して、格納されたデータを格納順に前記レジスタ回路部に出力させることを特徴とする請求項 1 記載のインタフェース回路。

【請求項 3】 前記第 1 記憶回路部及び第 2 記憶回路部は、同数の各バッフ

ァ領域をそれぞれ有するFIFOメモリをそれぞれ備え、該各FIFOメモリは、データの読み出し及びデータの書き込みをそれぞれ同期して行うことを特徴とする請求項1又は2記載のインタフェース回路。

【請求項4】 前記制御回路部は、前記第1記憶回路部及び第2記憶回路部に対して、データの書き込みを同期化させるために使用する書き込み用クロック信号の周波数が、データの読み出しを同期化させるために使用する読み出し用クロック信号の周波数以上になるように該各クロック信号に基づいてアクセスを行うことを特徴とする請求項3記載のインタフェース回路。

【請求項5】 前記制御回路部は、低消費電力の動作モードから通常動作モードに復帰する際、第1記憶回路部及び第2記憶回路部の各FIFOメモリにそれぞれ格納された情報及びデータが前記レジスタ回路部へ読み出されて該各FIFOメモリにそれぞれデータが格納されていない状態になると、前記第1記憶回路部及び第2記憶回路部に対して、ホスト装置から入力されたアドレス情報及び書き込み用データをFIFOメモリに格納することなく前記レジスタ回路部にそれぞれ出力させることを特徴とする請求項3又は4記載のインタフェース回路。

【請求項6】 前記第1記憶回路部及び第2記憶回路部は、前記制御回路部からの制御信号に応じて、ホスト装置から入力されたデータ又は対応する前記FIFOメモリから読み出されたデータのいずれか一方を排他的に選択して前記レジスタ回路部へ出力する選択回路をそれぞれ備えることを特徴とする請求項5記載のインタフェース回路。

【請求項7】 前記制御回路部は、
前記ホスト装置からのアクセスに応じて、前記第1記憶回路部及び第2記憶回路部へのデータ書き込み制御を行う書き込み制御回路と、

該書き込み制御回路によって前記第1記憶回路部及び第2記憶回路部へのデータ書き込みが開始されると、前記第1記憶回路部及び第2記憶回路部に対してデータ読み出しを開始させる読み出し制御回路と、

前記第1記憶回路部及び第2記憶回路部の各FIFOメモリのデータ格納状態を検出し、該検出結果を示す信号を出力するFIFO状態検出回路と、

低消費電力の動作モードであるか否か、及び該FIFO状態検出回路から出力

された信号に応じて前記第 1 記憶回路部及び第 2 記憶回路部の各選択回路の動作制御を行う選択制御回路と、
を備えることを特徴とする請求項 6 記載のインタフェース回路。

【請求項 8】 前記レジスタ回路部、第 1 記憶回路部、第 2 記憶回路部及び制御回路部は 1 つの IC に集積されることを特徴とする請求項 1、2、3、4、5、6 又は 7 記載のインタフェース回路。

【請求項 9】 ホスト装置からのデータが入力される入力端子と、該入力端子に入力されたデータに対して所定の処理を行うデータ処理部と、該データ処理部を動作させるためのクロック信号を生成するクロック信号生成部と、低消費電力で動作を行う動作モードに遷移するために、該クロック信号生成部に対して、前記データ処理部へのクロック信号の周波数を所定値よりも小さくするように制御する動作モード変更部とを備える、前記ホスト装置との間のインタフェースを行うインタフェース回路を有する光ディスク装置において、

前記インタフェース回路は、

前記入力端子に入力されたデータを前記データ処理部に伝送する第 1 経路、及び前記入力端子に入力されたデータをメモリを介して前記データ処理部に伝送する第 2 経路を有するバッファリング部と、

前記動作モード変更部によって低消費電力の動作モードに遷移した際に、該バッファリング部に対して、前記第 2 経路が排他的に使用可能になるように制御する経路選択部と、

を備えることを特徴とする光ディスク装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、パーソナルコンピュータ等のホスト装置とのインタフェースを行うインタフェース回路に関し、特に低消費電力化を必要とする例えば光ディスク装置等の装置に搭載されたインタフェース回路に関する。

【0 0 0 2】

【従来の技術】

従来、光ディスク装置では、使用されないときは低消費電力状態になり、可能な限り消費電力を低減させるようになっていた。このような低消費電力状態では、光ディスクで使用されているクロック周波数を低下させることが最も有効である。ただし、ホストコンピュータと光ディスク装置との間でのデータ転送は、ある程度高速の転送レートが要求されるため、光ディスク装置では通常周波数の大きいクロックを必要とする。したがって、光ディスク装置は、ホストコンピュータとの間でデータ転送を行う場合は、クロック周波数を低下させて低消費電力状態にすることができなかった。

【0 0 0 3】

一方、従来の光ディスク装置では、可能な限り消費電力を低下させたいため、ホストコンピュータと直接インタフェースを行う部分にはクロック周波数を正規の周波数にし、ホストコンピュータと直接インタフェースを行う部分のクロック周波数を低下させて、ホストコンピュータからのコマンドを受信し解析した後に、必要な場合にのみクロック周波数を上昇させるようにしていた（例えば、特許文献 1 参照。）。

【0 0 0 4】

【特許文献 1】

特開 2 0 0 1 - 1 3 5 0 0 9 号公報

【0 0 0 5】

【発明が解決しようとする課題】

しかし、このような従来の方法においても、ホストコンピュータと直接インタフェースを行う部分は、ある程度大きな部分を占めることから、低消費電力化の効果が小さかった。また、入力されたコマンドを解析してからクロック周波数を上げて低消費電力状態から通常の状態に復帰するかどうかを判断するため、時間がかかるという問題があった。前記の低消費電力の効果が小さい問題を解決するために、ホストコンピュータと直接インタフェースを行う部分のクロック周波数を低下させても、ホストコンピュータからのコマンドを得ることができるよう非同期化することで、ホストコンピュータとのインタフェース部全体のクロックを低下させることを可能にした方法があるが、外来ノイズに弱いという欠点があ

った。

【0 0 0 6】

本発明は、上記のような問題を解決するためになされたものであり、低消費電力動作モードのクロック周波数をより小さくすると共に、ノイズに強く誤動作しないようにすることができ、ホストコンピュータ等のホスト装置とのインタフェースを行う部分を同期式で多重化して、受け付けたホスト装置からのアクセスを順番に実行することができる、ホスト装置とのインタフェースを行うインタフェース回路及びインタフェース回路を有する光ディスク装置を得ることを目的とする。

【0 0 0 7】

【課題を解決するための手段】

この発明に係るインタフェース回路は、低消費電力で動作を行う動作モードを備えた所定の機能を有する装置と該装置が接続されるホスト装置との間のインタフェースを行うインタフェース回路において、

前記ホスト装置との間で伝送を行うデータを一時的に格納するレジスタ回路部と、

前記ホスト装置から入力された前記レジスタ回路部の所望のアドレスを示す情報を格納する第 1 記憶回路部と、

該第 1 記憶回路部に格納された対応するアドレス情報が示す前記レジスタ回路部のアドレスに書き込むために前記ホスト装置から入力されたデータを格納する第 2 記憶回路部と、

前記第 1 記憶回路部及び第 2 記憶回路部の動作制御をそれぞれ行う制御回路部と、

を備え、

前記制御回路部は、前記低消費電力の動作モードになると、前記ホスト装置から入力された前記レジスタ回路部の所望のアドレスを示す情報を、ホスト装置から入力された順に前記第 1 記憶回路部に格納させると共に、第 1 記憶回路部に格納された該アドレス情報が示す前記レジスタ回路部のアドレスに書き込むために前記ホスト装置から入力されたデータを、ホスト装置から入力された順に前記第

2 記憶回路部に格納させるものである。

【0 0 0 8】

また、前記制御回路部は、低消費電力の動作モードから通常動作モードに復帰する際、前記第 1 記憶回路部に対して、格納されたアドレス情報を格納順に前記レジスタ回路部に出力させると共に、前記第 2 記憶回路部に対して、格納されたデータを格納順に前記レジスタ回路部に出力させるようにしてもよい。

【0 0 0 9】

具体的には、前記第 1 記憶回路部及び第 2 記憶回路部は、同数の各バッファ領域をそれぞれ有する F I F O メモリをそれぞれ備え、該各 F I F O メモリは、データの読み出し及びデータの書き込みをそれぞれ同期して行うようにした。

【0 0 1 0】

また、具体的には、前記制御回路部は、前記第 1 記憶回路部及び第 2 記憶回路部に対して、データの書き込みを同期化させるために使用する書き込み用クロック信号の周波数が、データの読み出しを同期化させるために使用する読み出し用クロック信号の周波数以上になるように該各クロック信号に基づいてアクセスを行うようにしてもよい。

【0 0 1 1】

一方、前記制御回路部は、低消費電力の動作モードから通常動作モードに復帰する際、第 1 記憶回路部及び第 2 記憶回路部の各 F I F O メモリにそれぞれ格納された情報及びデータが前記レジスタ回路部へ読み出されて該各 F I F O メモリにそれぞれデータが格納されていない状態になると、前記第 1 記憶回路部及び第 2 記憶回路部に対して、ホスト装置から入力されたアドレス情報及び書き込み用データを F I F O メモリに格納することなく前記レジスタ回路部にそれぞれ出力させるようにしてもよい。

【0 0 1 2】

この場合、前記第 1 記憶回路部及び第 2 記憶回路部は、前記制御回路部からの制御信号に応じて、ホスト装置から入力されたデータ又は対応する前記 F I F O メモリから読み出されたデータのいずれか一方を排他的に選択して前記レジスタ回路部へ出力する選択回路をそれぞれ備えるようにした。

【0013】

また、前記制御回路部は、

前記ホスト装置からのアクセスに応じて、前記第1記憶回路部及び第2記憶回路部へのデータ書き込み制御を行う書き込み制御回路と、

該書き込み制御回路によって前記第1記憶回路部及び第2記憶回路部へのデータ書き込みが開始されると、前記第1記憶回路部及び第2記憶回路部に対してデータ読み出しを開始させる読み出し制御回路と、

前記第1記憶回路部及び第2記憶回路部の各FIFOメモリのデータ格納状態を検出し、該検出結果を示す信号を出力するFIFO状態検出回路と、

低消費電力の動作モードであるか否か、及び該FIFO状態検出回路から出力された信号に応じて前記第1記憶回路部及び第2記憶回路部の各選択回路の動作制御を行う選択制御回路と、
を備えるようにした。

【0014】

また、前記レジスタ回路部、第1記憶回路部、第2記憶回路部及び制御回路部は1つのICに集積されるようにしてもよい。

【0015】

一方、この発明に係る光ディスク装置は、ホスト装置からのデータが入力される入力端子と、該入力端子に入力されたデータに対して所定の処理を行うデータ処理部と、該データ処理部を動作させるためのクロック信号を生成するクロック信号生成部と、低消費電力で動作を行う動作モードに遷移するために、該クロック信号生成部に対して、前記データ処理部へのクロック信号の周波数を所定値よりも小さくするように制御する動作モード変更部とを備える、前記ホスト装置との間のインタフェースを行うインタフェース回路を有する光ディスク装置において、

前記インタフェース回路は、

前記入力端子に入力されたデータを前記データ処理部に伝送する第1経路、及び前記入力端子に入力されたデータをメモリを介して前記データ処理部に伝送する第2経路を有するバッファリング部と、

前記動作モード変更部によって低消費電力の動作モードに遷移した際に、該バッファリング部に対して、前記第2経路が排他的に使用可能になるように制御する経路選択部と、
を備えるものである。

【0016】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態.

図1は、本発明のインタフェース回路が使用されるシステム装置の例を示した概略図であり、図1では、ATA/ATAPIの規格に準拠したインタフェース回路で接続された場合を例にして示している。

ホストコンピュータHCは、ATA/ATAPI接続の場合、ホストコンピュータHC側のATA/ATAPI規格に準拠したインタフェース回路（以下、ATA/ATAPIインタフェース回路と呼ぶ）にATA/ATAPI規格に準拠した装置（以下、ATA/ATAPI装置と呼ぶ）を2つ接続することができる。

【0017】

図1では、ハードディスク装置（以下、HDD装置と呼ぶ）1及び光ディスク装置2が、ATA/ATAPIケーブル3を使用してホストコンピュータHCにそれぞれ接続されている。2つの装置の内1つをマスターと呼び、もう1つをスレーブと呼んで区別し、図1の場合HDD装置1がマスターであり、光ディスク装置2がスレーブになる。光ディスク装置2は、ATA/ATAPIの規格に準拠したインタフェース回路4を備えている。なお、HDD装置1や光ディスク装置2をデバイスと呼び、ホストコンピュータHCはホスト装置をなす。

【0018】

図2は、本発明の第1の実施の形態におけるインタフェース回路の例を示したブロック図であり、図1のインタフェース回路4の内部構成例を示している。

図2において、ATA/ATAPIレジスタ回路11は、ホストコンピュータHCからATA/ATAPIの規格に準拠した接続端子12を介してデータ書き

込み又はデータ読み出しが行われる。ATA／ATAPIレジスタ回路11は、ATAPIコントローラ13によって動作制御され、通常動作時には、接続端子12、セクタ14及びFIFO回路15を介してホストコンピュータHCからのデータが書き込まれる。該書き込まれたデータは、セクタ16及び17並びにSysconインタフェース回路18を介して光ディスク装置2のCPU31に転送される。

【0019】

また、ATA／ATAPIレジスタ回路11は、通常動作時には、Sysconインタフェース回路18、セクタ14及びFIFO回路15を介してCPU31からのデータが書き込まれる。該書き込まれたデータは、セクタ19及び接続端子12を介してホストコンピュータHCに転送される。セクタ14、16、17、19は、ATAPIコントローラ13によってそれぞれ動作制御されるが、図2ではその接続を省略して示している。

【0020】

CPU31に接続されているメモリ32には制御プログラムであるファームウェアが書き込まれている。ホストコンピュータHCとの間でデータ転送を行う場合は、インタフェース回路4は、内蔵メモリ20を使用して接続端子12とバッファRAMインタフェース回路21との間のデータ転送の仲介を行う。バッファRAMインタフェース回路21にはバッファRAM22が接続されており、該バッファRAM22は、DRAM等のメモリで光ディスクに対してライト又はリードするデータを記憶させておくものである。

【0021】

ATAPIコントローラ13には、接続端子12を介してホストコンピュータHCから、アドレスデータDA[2:0]、書き込み制御信号DIOWB、読み出し制御信号DIO RB及びチップセレクト信号CS1FXB、CS3FXBがそれぞれ入力されている。アドレスデータDA[2:0]は、ATA／ATAPIレジスタ回路11のアドレスを示し、書き込み制御信号DIOWBは、ATA／ATAPIレジスタ回路11へのデータ書き込みを制御する信号であり、読み出し制御信号DIO RBは、ATA／ATAPIレジスタ回路11からのデータ読み

出しを制御する信号であり、チップセレクト信号CS1FXB, CS3FXBは、図4で示すATA/ATAPIレジスタ回路11におけるコマンド・ブロック・レジスタとコントロール・ブロック・レジスタの選択を行う信号である。

【0022】

図3は、ホストコンピュータHCが、接続端子12を介してATA/ATAPIレジスタ回路11にアクセスするときのタイミング例を示したタイミングチャートである。なお、図3では、ATA/ATAPIレジスタ回路11に対してデータ書き込みを行う場合を例にして示しており、ATA/ATAPIレジスタ回路11のデータを読み出す場合は、図3の書き込み制御信号DIOWBを読み出し制御信号DIORBに置き換えればよい。

【0023】

ATA/ATAPIレジスタ回路11は、ATAのHDD装置特有のレジスタをATAPIのCD-ROM装置に対応できるように拡張され、その後に統合されたものがATA/ATAPIレジスタ回路として再定義されたものであり、ATA/ATAPIレジスタ回路11は、図4で示すように、チップセレクト信号CS1FXB, CS3FXB及びアドレスデータDA[2:0]で示される9つのレジスタで構成されている。なお、図4では、カッコ内がATAPIのレジスタ名称を示している。

【0024】

ホストコンピュータHCが、マスター又はスレーブのどちらのデバイスを選択して動作させるかは、図4のDevice/Head(Drive Select)レジスタの所定のビットを「1」にするか又は「0」にするかで選択することができる。例えば、図1で示すように、マスターにHDD装置1が、スレーブに光ディスク装置2が接続されている場合には、ホストコンピュータHCは、Drive Selectレジスタを書き換えて、マスターへのアクセスなのかスレーブへのアクセスなのか分かるようになっている。Drive Selectレジスタは、ホストコンピュータHCから書き込まれた場合は、マスターとスレーブの両方に書き込まれる。ホストコンピュータHCは、Drive SelectレジスタにおけるDRV(bit 4)=0にしてマスターを選択し、DRV

= 1 にしてスレーブを選択する。

【0025】

マスターのHDD装置1とスレーブの光ディスク装置2は、ホストコンピュータHCに組み込まれるときに、マスターに接続されるのかスレーブに接続されるのかを設定されるため、Drive Selectレジスタに書き込まれた値と該設定された値とを比較することで、自分が選択されているかどうかを判別することができる。例えば、スレーブの光ディスク装置2は、ホストコンピュータHCがマスターを選択した場合は低消費電力動作モードになり、ホストコンピュータHCがスレーブを選択すると、低消費電力動作モードから復帰して通常動作モードになる。低消費電力動作モードは、光ディスク装置2のクロック周波数を通常動作モードよりも低くすることにより電力の消費を小さくする。

【0026】

ここで、図2において、低消費電力動作モードになると、CPU31は、Sysconインタフェース回路18に対して、ATAPIコントローラ13及びクロック切替回路23にそれぞれ出力しているパワーセーブ信号PSをイネーブルにさせる。クロック切替回路23には、所定のクロック信号PLLCKを生成して出力するPLL回路24、水晶発振子を使用して所定のクロック信号XCKを生成して出力するクロック回路25、及び該クロック信号XCKを分周して複数の周波数のクロック信号を生成し、あらかじめ選択された周波数の信号をクロック信号ICKとして出力するクロック分周回路26がそれぞれ接続されている。クロック信号PLLCKは、クロック信号XCKよりも周波数は高いが、安定するまでに時間を要し、クロック信号ICKが最も周波数が低い。

【0027】

クロック分周回路26は、例えば1, 2, 4, 8MHzの4種類の周波数のクロック信号を生成し、この内の1MHzの周波数の信号をクロック信号ICKとしてクロック切替回路23に出力するものとする。クロック切替回路23は、パワーセーブ信号PSがディスエーブル状態であると、通常動作モードと判断してPLL回路24からのクロック信号PLLCKをメインクロック信号MCKとしてATAPIコントローラ13に出力すると共にクロック回路25からのクロッ

ク信号XCKをATAPIコントローラ13に出力する。

【0028】

また、クロック切替回路23は、パワーセーブ信号PSがイネーブル状態のときは、ATAPIコントローラ13からの指令に基づいてPLL回路24の動作を停止させると共に、低消費電力動作モードと判断してクロック分周回路26からのクロック信号ICKをメインクロック信号MCKとしてATAPIコントローラ13に出力する。この場合においても、クロック切替回路23は、クロック信号XCKをATAPIコントローラ13に出力する。

【0029】

ここで、パワーセーブ信号PSがイネーブルになると、クロック切替回路23は、ATAPIコントローラ13からの指令に基づいてPLL回路24を作動させる。しかし、PLL回路24は、動作を開始してクロック信号PLLCKを安定させるまでに時間を要することから、クロック切替回路23は、クロック信号PLLCKが安定するまでの所定の期間、クロック信号XCKをメインクロック信号MCKとしてATAPIコントローラ13に出力し、所定の期間が経過するとクロック信号PLLCKをメインクロック信号MCKとしてATAPIコントローラ13に出力する。

【0030】

一方、低消費電力動作モードから通常動作モードへの移行は、ホストコンピュータHCからの制御信号によって行われる。すなわち、ATAPIコントローラ13は、ホストコンピュータHCによって、書き込み制御信号DIOWB又は読み出し制御信号DIORBがアサートされると、該アサートされたことをCPU31に知らせ、Sysconインタフェース回路18は、パワーセーブ信号PSをディスエーブルにする。ATAPIコントローラ13は、低消費電力化回路27を備え、低消費電力化回路27は、書き込み制御信号DIOWB又は読み出し制御信号DIORBのアサートを検出して、CPU31に低消費電力動作モードから通常動作モードへの復帰を知らせる回路である。

【0031】

前述したように、ホストコンピュータHCは、Drive Selectレジ

スタを書き換えて、制御対象となるATA/ATAPI デバイスを選択した後、選択したデバイスのATA/ATAPI レジスタ回路を書き換える。例えば、低消費電力動作モードでメインクロック信号MCKを1MHzにし、ホストコンピュータHCがDrive Select レジスタに書き込んでDRV=1としたときに、低消費電力動作モードから通常動作モードに復帰してメインクロック信号MCKをクロック信号XCKにする。

【0032】

このとき、ATA/ATAPI レジスタ回路11の書き込みを非同期で取り込むこともできる。このようにすれば、低消費電力動作モードのクロック周波数を低下させることができるが、外来のノイズには弱くなり誤ってATA/ATAPI レジスタ回路11に書き込む恐れがある。外来ノイズに強くするために、低消費電力動作モードから通常動作モードに復帰するときのATA/ATAPI レジスタ回路11への書き込みをメインクロックMCKに同期して処理するが、複数のレジスタへの書き込みが連続した場合、書き込みの間隔が短くなると誤ったアドレスにデータを書き込む等の間違いが発生する。

【0033】

このような間違いを防止する目的で書き込み部分を多重化するために、アドレスデータを格納する第1FIFO (First In First Out) メモリと、データを格納する第2FIFOメモリをそれぞれ設けて、ATAPIコントローラ13は、ATA/ATAPI レジスタ回路11のレジスタを示すアドレスデータを第1FIFOメモリに、該アドレスデータが示すアドレスへの対応する書き込み用データを第2FIFOメモリに順番に格納する。第1FIFOメモリは、ATAPIコントローラ13内に設けられ、第2FIFOメモリは、FIFO回路15内に設けられている。

【0034】

図5は、ATAPIコントローラ13及びFIFO回路15の内部構成例を示した概略図である。

図5において、ATAPIコントローラ13は、第1FIFOメモリ41と、該第1FIFOメモリ41に対するデータ書き込み制御を行う書き込み制御回路

42と、該第1FIFOメモリ41に対するデータ読み出し制御を行う読み出し制御回路43とを備えている。なお、書き込み制御回路42は、後述する第2FIFOメモリ51に対するデータ書き込み制御をも行い、読み出し制御回路43は、該第2FIFOメモリ51に対するデータ読み出し制御をも行う。

【0035】

更に、ATAPIコントローラ13は、第1FIFOメモリ41及びFIFO回路15の後述する第2FIFOメモリ51の各状態を検出するFIFO状態検出回路44と、セクタ45と、該セクタ45の選択制御信号FIFOSELを生成して出力するFIFOSEL生成回路46と、アドレスデータDA[2:0]及びチップセレクト信号CS1FXB, CS3FXBからATA/ATAPIレジスタ回路11のアドレスを生成して出力するデコーダ47とを備えている。一方、FIFO回路15は、第2FIFOメモリ51及びセクタ52で構成されている。

【0036】

ATAPIコントローラ13において、アドレスデータDA[2:0]及びチップセレクト信号CS1FXB, CS3FXBが、第1FIFOメモリ41及びセクタ45の一方の入力端にそれぞれ入力されており、第1FIFOメモリ41の出力データ信号は、セクタ45の他方の入力端に入力されている。セクタ45から出力されたデータ信号は、デコーダ47でデコードされ、ATA/ATAPIレジスタ回路11の所望のレジスタを示す9ビットのアドレスデータatapien[8:0]に変換されてATA/ATAPIレジスタ回路11に出力され、ATA/ATAPIレジスタ回路11は該アドレスデータatapien[8:0]が入力されるとイネーブルになる。セクタ45は、FIFOSEL生成回路46から入力される選択制御信号FIFOSELに応じて、入力された2つのデータ信号の内いずれか一方を選択して排他的に出力する。

【0037】

書き込み制御回路42には、接続端子12を介してホストコンピュータHCからの書き込み制御信号DIOWBと、クロック信号XCKがそれぞれ入力されている。書き込み制御回路42は、第1FIFOメモリ41及び第2FIFOメモ

リ 51 に対するライトアドレス *w a d r* 及びライトイネーブル信号 *w e n* をそれぞれ生成する。該生成されたライトアドレス *w a d r* 及びライトイネーブル信号 *w e n* は第 1 F I F O メモリ 41、第 2 F I F O メモリ 51 及び読み出し制御回路 43 にそれぞれ出力される。更に、書き込み制御回路 42 で生成されたライトアドレス *w a d r* は F I F O 状態検出回路 44 へも出力される。

【0038】

読み出し制御回路 43 は、メインクロック信号 *M C K* が入力されており、書き込み制御回路 42 から入力されたライトアドレス *w a d r* 及びライトイネーブル信号 *w e n* からリードアドレス *r a d r* 及びリードイネーブル信号 *r e n* をそれぞれ生成する。該生成されたリードアドレス *r a d r* 及びリードイネーブル信号 *r e n* は、第 1 F I F O メモリ 41 及び第 2 F I F O メモリ 51 にそれぞれ出力され、リードアドレス *r a d r* は F I F O 状態検出回路 44 へも出力される。

【0039】

F I F O 状態検出回路 44 は、入力されたライトアドレス *w a d r* 及びリードアドレス *r a d r* から、第 1 F I F O メモリ 41 及び第 2 F I F O メモリ 51 にデータが格納されていない状態である *e m p t y* 状態であるか、又は第 1 F I F O メモリ 41 及び第 2 F I F O メモリ 51 にデータをこれ以上格納することができない状態である *f u l l* 状態であるかを検出する。F I F O 状態検出回路 44 は、*e m p t y* 状態であるか否かを示す *e m p t y* 信号 *S e* を F I F O S E L 生成回路 46 に、*f u l l* 状態であるか否かを示す信号 *D I O R D Y* を接続端子 12 を介してホストコンピュータ *H C* にそれぞれ出力する。

【0040】

F I F O S E L 生成回路 46 は、パワーセーブ信号 *P S* が入力されており、図 6 で示すように、該パワーセーブ信号 *P S* 及び *e m p t y* 信号 *S e* から選択制御信号 *F I F O S E L* を生成し、セクタ 45 及び 52 へそれぞれ出力する。図 6 から分かるように、パワーセーブ信号 *P S* がロー (*L o w*) レベルからハイ (*H i g h*) レベルに立ち上がって低消費電力動作モードになると、選択制御信号 *F I F O S E L* はローレベルからハイレベルに立ち上がり、セクタ 45 は、第 1 F I F O メモリ 41 からのデータを選択して出力し、セクタ 52 は、第 2 F I

F O メモリ 5 1 からのデータを選択して出力する。

【 0 0 4 1 】

また、e m p t y 信号 S e がローレベルからハイレベルに立ち上がると選択制御信号 F I F O S E L はハイレベルからローレベルに立ち下がり、セクタ 4 5 は、入力されたアドレスデータ D A [2 : 0] 及びチップセレクト信号 C S 1 F X B , C S 3 F X B を選択して出力し、セクタ 5 2 は、入力されたデータ D D [1 5 : 0] を選択して出力する。

【 0 0 4 2 】

次に、F I F O 回路 1 5 において、セクタ 1 4 を介してデータ D D [1 5 : 0] が、第 2 F I F O メモリ 5 1 及びセクタ 5 2 の一方の入力端にそれぞれ入力されており、第 2 F I F O メモリ 5 1 の出力データ信号は、セクタ 5 2 の他方の入力端に入力されている。セクタ 5 2 から出力されたデータ信号は、A T A / A T A P I レジスタ回路 1 1 に格納される。セクタ 5 2 は、F I F O S E L 生成回路 4 6 から入力される選択制御信号 F I F O S E L に応じて入力された 2 つのデータ信号の内いずれか一方を選択して排他的に出力する。また、A T A / A T A P I レジスタ回路 1 1 には、メインクロック信号 M C K が入力されている。

【 0 0 4 3 】

なお、A T A / A T A P I レジスタ回路 1 1 はレジスタ回路部を、第 1 F I F O メモリ 4 1 及びセクタ 4 5 は第 1 記憶回路部をそれぞれなし、F I F O 回路 1 5 は第 2 記憶回路部を、書き込み制御回路 4 2 、読み出し制御回路 4 3 、F I F O 状態検出回路 4 4 及び F I F O S E L 生成回路 4 6 は制御回路部をなす。また、セクタ 4 5 及び 5 2 はそれぞれ選択回路をなし、F I F O S E L 生成回路 4 6 は選択制御回路をなす。更に、A T A / A T A P I レジスタ回路 1 1 はデータ処理部を、P L L 回路 2 4 、クロック分周回路 2 6 及びクロック回路 2 5 はクロック信号生成部をそれぞれなし、クロック切替回路 2 3 は動作モード変更部を、F I F O 回路 1 5 はバッファリング部を、A T A P I コントローラ 1 3 は経路選択部をそれぞれなす。厳密に言えば、第 1 F I F O メモリ 4 1 及びセクタ 4 2 もバッファリング部をなすと考えることができる。

【 0 0 4 4 】

このような構成において、図 7 は、図 2 の各部の動作例を示したタイミングチャートであり、図 7 を参照しながら、低消費電力動作モードから通常動作モードに復帰する際の第 1 F I F O メモリ 4 1 及び第 2 F I F O メモリ 5 1 へのバッファリング処理による A T A / A T A P I レジスタ回路 1 1 へのデータ書き込み動作について説明する。なお、図 2 及び図 7 では、第 1 F I F O メモリ 4 1 及び第 2 F I F O メモリ 5 1 は、それぞれ 4 つのバッファ領域 B 0 ~ B 3 で構成されている場合を例にして示している。このため、図 7 では、ライトイネーブル信号 $w e n$ は、 $w e n 0 \sim w e n 3$ の 4 ビットの信号からなり、リードイネーブル信号 $r e n$ は、 $r e n 0 \sim r e n 3$ の 4 ビットの信号からなる。

【 0 0 4 5 】

また、図 7 において、ライトアドレス $w a d r[2:0]$ 及びリードアドレス $r a d r[2:0]$ における 0 ~ 3 は、バッファ領域 B 0 ~ B 3 の各アドレスを対応して示している。更に、図 7 では、データ $d a[4:0]$ は、アドレスデータ D A [2:0] の 3 ビットデータ及びチップセレクト信号 C S 1 F X B, C S 3 F X B の 2 ビットデータからなる 5 ビットデータを示している。また、図 7 では、 $2' h 0$ のデータはアドレス $2' h 0$ のデータを、 $2' h 1$ のデータはアドレス $2' h 1$ のデータを、 $2' h 2$ のデータはアドレス $2' h 2$ のデータを、 $2' h 3$ のデータはアドレス $2' h 3$ のデータをそれぞれ示している。

【 0 0 4 6 】

パワーセーブ信号 P S がハイレベルになってイネーブルとなり低消費電力動作モードになると、F I F O S E L 生成回路 4 6 からハイレベルの選択制御信号 F I F O S E L が出力される。次に、ホストコンピュータ H C からの書き込み制御信号 D I O W B がローレベルになってアサートされ、書き込み制御信号 D I O W B の信号レベルの立ち上がりをトリガとしてクロック信号 X C K で同期されたライトアドレス $w a d r[2:0]$ 及びライトイネーブル信号 $w e n 0 \sim w e n 3$ がそれぞれ生成される。すなわち、書き込み制御回路 4 2 は、書き込み制御信号 D I O W B の信号レベルの立ち上がりからの次のクロック信号 X C K の立ち上がりで第 1 F I F O メモリ 4 1 及び第 2 F I F O メモリ 5 1 にそれぞれデータ書き込

みを行うライトネーブル信号 $wen0 \sim wen3$ を順に生成して、第1FIFOメモリ41及び第2FIFOメモリ51にそれぞれ出力する。

【0047】

次に、ライトアドレス $wadr[2:0]$ で指定された第1FIFOメモリ41にデータ $DD[15:0]$ が、第2FIFOメモリ51のアドレスにアドレスデータ $DA[2:0]$ 及びチップセレクト信号 $CS1FXB$, $CS3FXB$ がそれぞれ同時に書き込まれる。読み出し制御回路43は、書き込み制御回路42からライトアドレス $wadr[2:0]$ 及びライトイネーブル信号 $wen0 \sim wen3$ がそれぞれ入力され、メインクロック信号 MCK に同期したリードアドレス $radr[2:0]$ 及びリードイネーブル信号 $ren0 \sim ren3$ を生成して、第1FIFOメモリ41及び第2FIFOメモリ51にそれぞれ出力する。

【0048】

すなわち、読み出し制御回路43は、第1FIFOメモリ41に書き込まれたデータ $DD[15:0]$ 並びに第2FIFOメモリ51に書き込まれたアドレスデータ $DA[2:0]$ 及びチップセレクト信号 $CS1FXB$, $CS3FXB$ を、各ライトイネーブル信号 $wen0 \sim wen3$ の後におけるメインクロック MCK の信号レベルの立ち上がりで生成したリードイネーブル信号 $ren0 \sim ren3$ で順に読み出しを行う。アドレスデータ $DA[2:0]$ 及びチップセレクト信号 $CS1FXB$, $CS3FXB$ は、ATA/ATAPIレジスタ回路11に書き込むためのアドレスデータ信号 $atapien[8:0]$ となり、ATA/ATAPIレジスタ回路11には、メインクロック信号 MCK に同期して書き込まれる。なお、ATA/ATAPIレジスタ回路11は、9つのレジスタからなることから、イネーブル信号を兼ねたアドレスデータ信号 $atapien$ は9ビットになっている。

【0049】

ここで、第1FIFOメモリ41及び第2FIFOメモリ51において、それぞれライトアドレス $wadr$ がリードアドレス $radr$ よりも先行するが、図8で示すようにFIFOメモリへのデータ書き込みが遅くてデータ読み出しが速い場合、データ書き込みにデータ読み出しが追いついてFIFOメモリが $empty$

y 状態になる。このため、F I F O 状態検出回路 44 から e m p t y 状態を検出したことを示すハイレベルの e m p t y 信号 S e が出力され、F I F O S E L 生成回路 46 からの選択制御信号 F I F O S E L はローレベルになり、データ D D [15:0]、アドレスデータ D A [2:0] 及びチップセレクト信号 C S 1 F X B , C S 3 F X B がそれぞれデコーダ 47 でデコードされて A T A / A T A P I レジスタ回路 11 に出力される。なお、F I F O 状態検出回路 44 は、w a d r - r a d r = 1 になると e m p t y 状態と判定する。

【0050】

また、図 9 で示すように、F I F O メモリへのデータ書き込みが速くてデータ読み出しが遅い場合、データ書き込みがデータ読み出しに追いついて F I F O メモリが f u l l 状態になる。このため、F I F O 状態検出回路 44 は、f u l l 状態を検出したことを示すハイレベルの信号 D I O R D Y を接続端子 12 を介してホストコンピュータ H C に出力し、ホストコンピュータ H C から光ディスク装置 2 へのアクセスを一時停止させる。

【0051】

次に、図 10 は、低消費電力動作モードから通常動作モードへ復帰したときの第 1 F I F O メモリ 41 及び第 2 F I F O メモリ 51 へのデータ書き込み動作のフローを示したフローチャートである。図 10 を用いて、低消費電力動作モードから通常動作モードへ復帰したときの第 1 F I F O メモリ 41 及び第 2 F I F O メモリ 51 へのデータ書き込み処理の流れについて、もう少し詳細に説明する。

【0052】

図 10 において、まず最初に、書き込み制御回路 42 は、ホストコンピュータ H C からの書き込み制御信号 D I O W B がアサートされたか否かを検出し（ステップ S1）、アサートされると（Y E S）、ライトアドレス w a d r [2:0] = 2' h 0 にして第 1 F I F O メモリ 41 及び第 2 F I F O メモリ 51 へそれぞれ出力する（ステップ S2）。すなわち、ステップ S2 で、ライトイネーブル信号 w e n 0 がハイレベルになって、第 1 F I F O メモリ 41 及び第 2 F I F O メモリ 51 の各最初のアドレスにそれぞれデータ書き込みが行われる。また、ステップ S1 で、書き込み制御信号 D I O W B がアサートされなかった場合（N O）は

、引き続きステップS1の処理を行う。

【0053】

次に、書き込み制御回路42は、2回目以降のホストコンピュータHCからの書き込み制御信号DIOWBがアサートされたか否かを検出し（ステップS3）、アサートされると（YES）、ライトアドレスwadr[2:0]をインクリメントする（ステップS4）。すなわち、ステップS4で、第1FIFOメモリ41及び第2FIFOメモリ51において、次のアドレス以降でデータ書き込みが行われる。また、ステップS3で、書き込み制御信号DIOWBがアサートされなかった場合（NO）は、引き続きステップS3の処理を行う。

【0054】

次に、FIFO状態検出回路44は、第1FIFOメモリ41及び第2FIFOメモリ51がfull状態であるか否かを調べ（ステップS5）、full状態である場合（YES）は、ホストコンピュータHCへの信号DIORDYをローレベルにしてネゲートし（ステップS6）、ステップS5に戻る。また、ステップS5で、full状態でない場合（NO）は、ステップS3に戻る。

【0055】

次に、図11は、低消費電力動作モードから通常動作モードへ復帰したときの第1FIFOメモリ41及び第2FIFOメモリ51からのデータ読み出し動作のフローを示したフローチャートである。図11を用いて、低消費電力動作モードから通常動作モードへ復帰したときの第1FIFOメモリ41及び第2FIFOメモリ51からのデータ書き込み処理の流れについて、もう少し詳細に説明する。

図11において、まず最初に、読み出し制御回路43は、リードアドレスradr[2:0]=2'h0にし（ステップS11）、ライトアドレスwadr[2:0]=2'h0であるか否かを調べる（ステップS12）。

【0056】

ステップS12で、ライトアドレスwadr[2:0]=2'h0でない場合（NO）、読み出し制御回路43は、リードアドレスradr[2:0]からリードイネーブル信号ren0～ren3をそれぞれ生成して第1FIFOメモリ41

及び第2 F I F Oメモリ51にそれぞれ出力する(ステップS13)。すなわち、ステップS13で、リードアドレス $r a d r[2:0]=2'h0$ のデータが、第1 F I F Oメモリ41及び第2 F I F Oメモリ51からATA/ATAPIレジスタ回路11にそれぞれ出力される。また、ステップS12で、ライトアドレス $w a d r[2:0]=2'h0$ である場合(Y E S)は、引き続きステップS12の処理を行う。

【0057】

次に、デコーダ47は、第1 F I F Oメモリ41から入力されたアドレスデータ $D A[2:0]$ 及びチップセレクト信号 $C S1 F X B$ 、 $C S3 F X B$ をデコードしてアドレスデータ信号 $a t a p i e n[8:0]$ を生成してATA/ATAPIレジスタ回路11に出力する(ステップS14)。次に、ATA/ATAPIレジスタ回路11は、第2 F I F Oメモリ51から入力されたデータ $D D[15:0]$ を、デコーダ47から入力されたアドレスデータ信号 $a t a p i e n[8:0]$ が示すレジスタに書き込む(ステップS15)。

【0058】

この後、F I F O状態検出回路44は、第1 F I F Oメモリ41及び第2 F I F Oメモリ51が $e m p t y$ 状態であるか否かを調べ(ステップS16)、 $e m p t y$ 状態でない場合(N O)は、読み出し制御回路43は、リードアドレス $r a d r[2:0]$ をインクリメントして(ステップS17)、ステップS12に戻る。また、ステップS16で、 $e m p t y$ 状態である場合(Y E S)は、F I F O状態検出回路44は、選択制御信号 $F I F O S E L$ をローレベルにして(ステップS18)、本フローは終了する。

【0059】

このように、本第1の実施の形態におけるインタフェース回路は、クロック周波数をより小さくした低消費電力動作モードから通常動作モードに復帰する際、第1 F I F Oメモリ41にATA/ATAPIレジスタ回路11の所望のレジスタのアドレスを示すデータを格納すると共に、第2 F I F Oメモリ51にATA/ATAPIレジスタ回路11の所望のレジスタに書き込むデータを格納し、該第2 F I F Oメモリ51に格納したデータを第1 F I F Oメモリ41に格納した

データが示すアドレスのATA/ATAPIレジスタ回路11のレジスタに第2FIFOメモリ51に格納したデータを書き込むようにした。このことから、クロック周波数を小さくして低消費電力動作を行った動作モードから通常動作モードに復帰した際に、受け付けたホストコンピュータからのアクセスを順番に誤動作することなく実行することができる。

【0060】

なお、前記第1の実施の形態では、ATA/ATAPIの規格に準拠したインタフェース回路を例にして示したが、本発明はこれに限定するものではなく、ホストコンピュータHCとのインタフェースを行うインタフェース回路に適用するものである。

【0061】

【発明の効果】

上記の説明から明らかなように、本発明のインタフェース回路及びインタフェース回路を有する光ディスク装置によれば、低消費電力の動作モードから通常の動作モードへ復帰する場合に、ホスト装置の信号を多重化して取り込むため、信号の取りこぼし等のエラーが発生を防止することができ、低消費電力の動作モードから通常の動作モードへ復帰する場合に、多重化して取り込んだホスト装置の信号を順番に実行するため、ホスト装置とのハンドシェイクで誤りの発生を防止することができる。

【図面の簡単な説明】

【図1】 本発明のインタフェース回路が使用されるシステム装置の例を示した概略図である。

【図2】 本発明の第1の実施の形態におけるインタフェース回路の例を示したブロック図である。

【図3】 ホストコンピュータHCによるATA/ATAPIレジスタ回路11へのアクセスのタイミング例を示したタイミングチャートである。

【図4】 ATA/ATAPIレジスタ回路11の構成例を示した図である。

【図5】 ATAPIコントローラ13及びFIFO回路15の内部構成例

を示した概略図である。

【図 6】 選択制御信号 F I F O S E L の生成方法を示したタイミングチャートである。

【図 7】 図 2 の各部の動作例を示したタイミングチャートである。

【図 8】 データ書き込みが遅くてデータ読み出しが速い場合の F I F O メモリの状態を示した図である。

【図 9】 データ書き込みが速くてデータ読み出しが遅い場合の F I F O メモリの状態を示した図である。

【図 1 0】 第 1 F I F O メモリ 4 1 及び第 2 F I F O メモリ 5 1 へのデータ書き込み動作のフローを示したフローチャートである。

【図 1 1】 第 1 F I F O メモリ 4 1 及び第 2 F I F O メモリ 5 1 からのデータ読み出し動作のフローを示したフローチャートである。

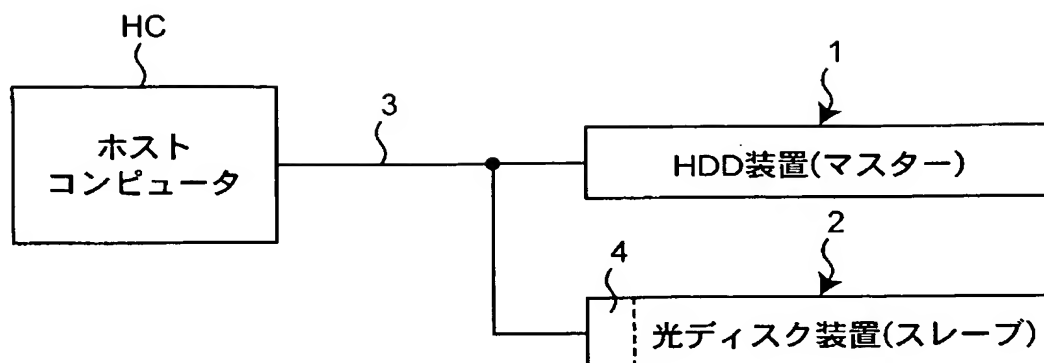
【符号の説明】

- 2 光ディスク装置
- 4 インタフェース回路
 - 1 1 A T A / A T A P I レジスタ回路
 - 1 2 接続端子
 - 1 3 A T A P I コントローラ
 - 1 4, 1 6, 1 7, 1 9, 4 5, 5 2 セレクタ
 - 1 5 F I F O 回路
 - 1 8 S y s c o n インタフェース回路
- 2 3 クロック切替回路
- 2 4 P L L 回路
- 2 5 クロック回路
- 2 6 クロック分周回路
- 2 7 低消費電力化回路
- 3 1 C P U
- 4 1 第 1 F I F O メモリ
- 4 2 書き込み制御回路

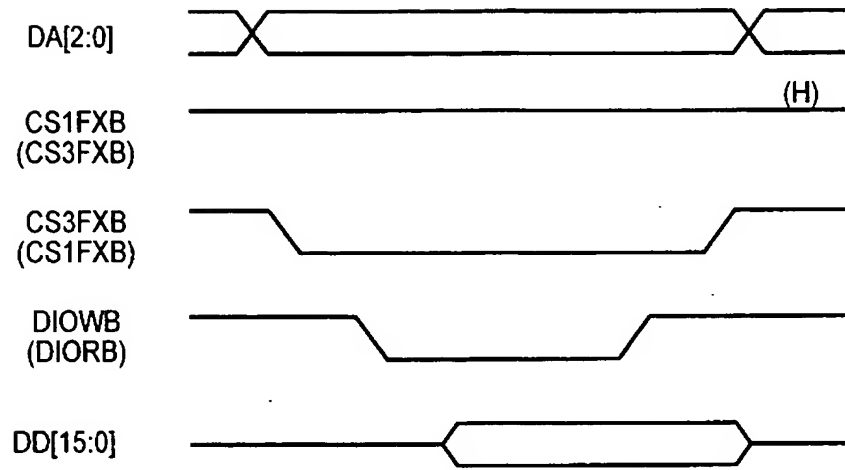
- 4 3 読み出し制御回路
- 4 4 F I F O 状態検出回路
- 4 6 F I F O S E L 生成回路
- 4 7 デコーダ
- 5 1 第 2 F I F O メモリ
- H C ホストコンピュータ

【書類名】 図面

【図 1】



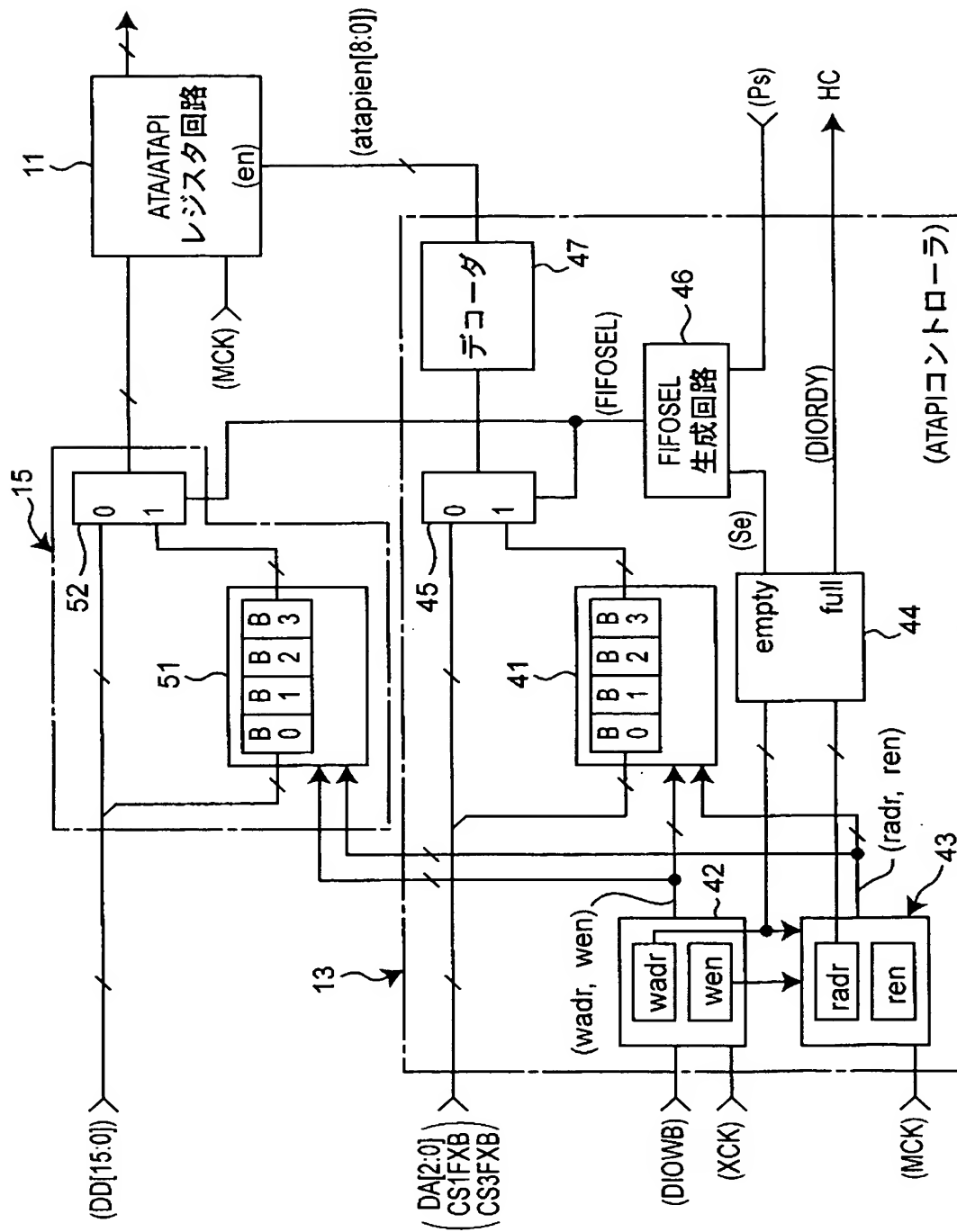
【図 3】



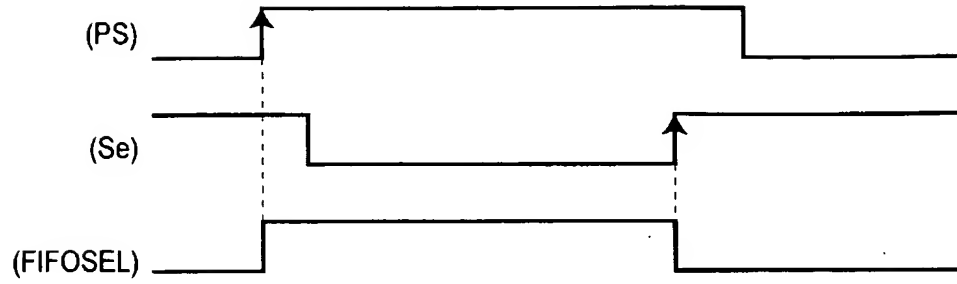
【図 4】

アドレス				レジスタ	
CS1FXB	CS3FXB	DA2	DA1 DA0	リード	ライト
コマンド・ブロック・レジスタ (8/16ビット)					
0	1		0h	Data	Data
0	1		1h	Error	Feature
0	1		2h	Sector Count (Interrupt Reason)	Sector Count (Interrupt Reason)
0	1		3h	Sector Number (Reserved for SAM TAG)	Sector Number (Reserved for SAM TAG)
0	1		4h	Cylinder Low (Byte Count Low)	Cylinder Low (Byte Count Low)
0	1		5h	Cylinder High (Byte Count High)	Cylinder High (Byte Count High)
0	1		6h	Device/Head (Drive Select)	Device/Head (Drive Select)
0	1		7h	Status	Command
コントロール・ブロック・レジスタ (8ビット)					
1	0		6h	Alternate Status	Device Control

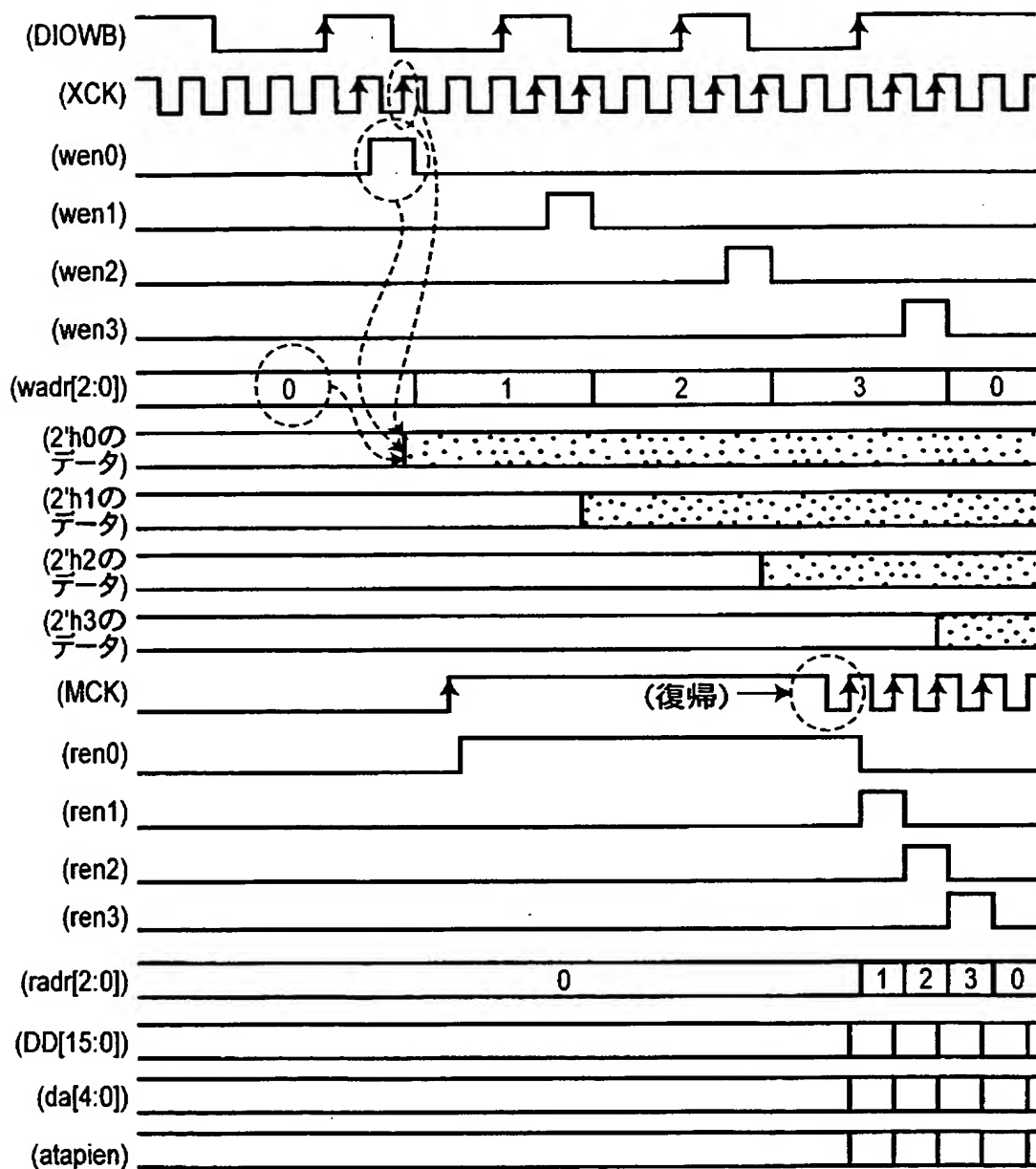
【図 5】



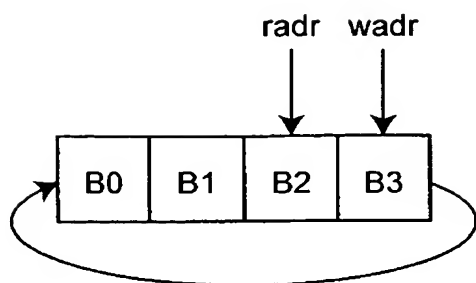
【図 6】



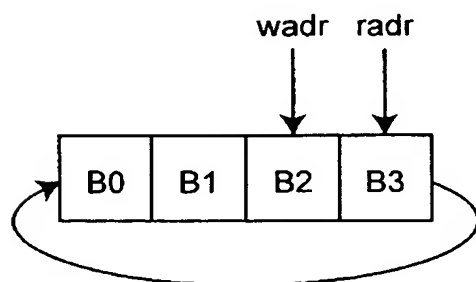
【図 7】



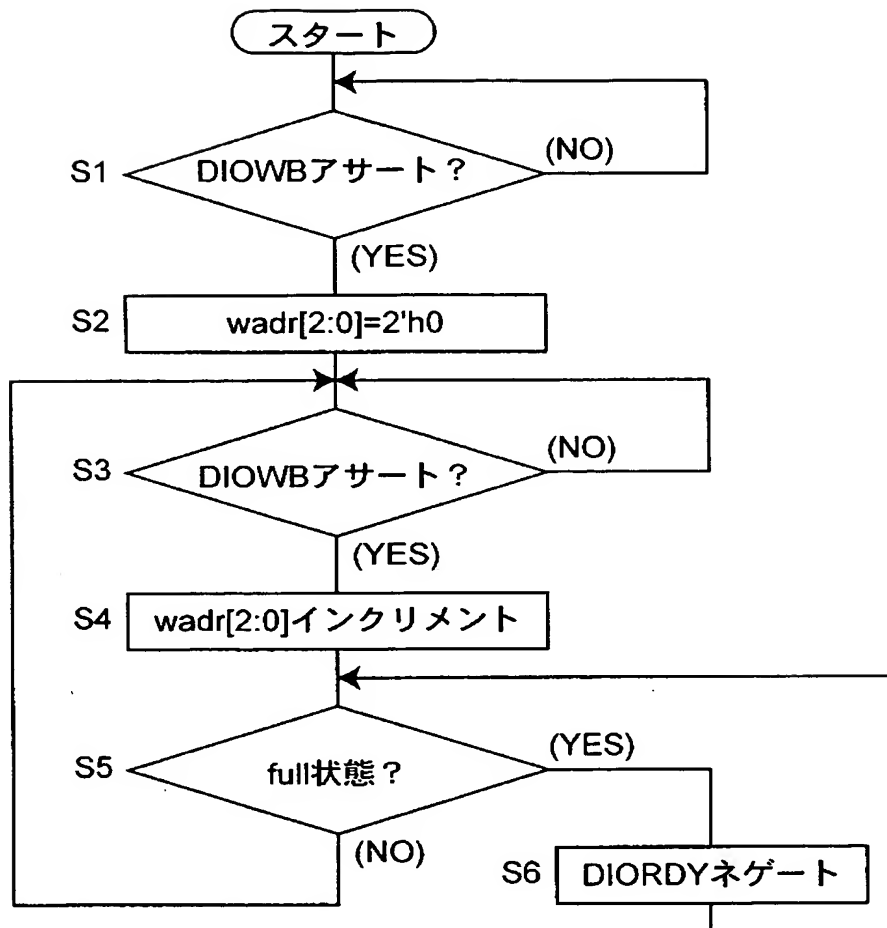
【図 8】



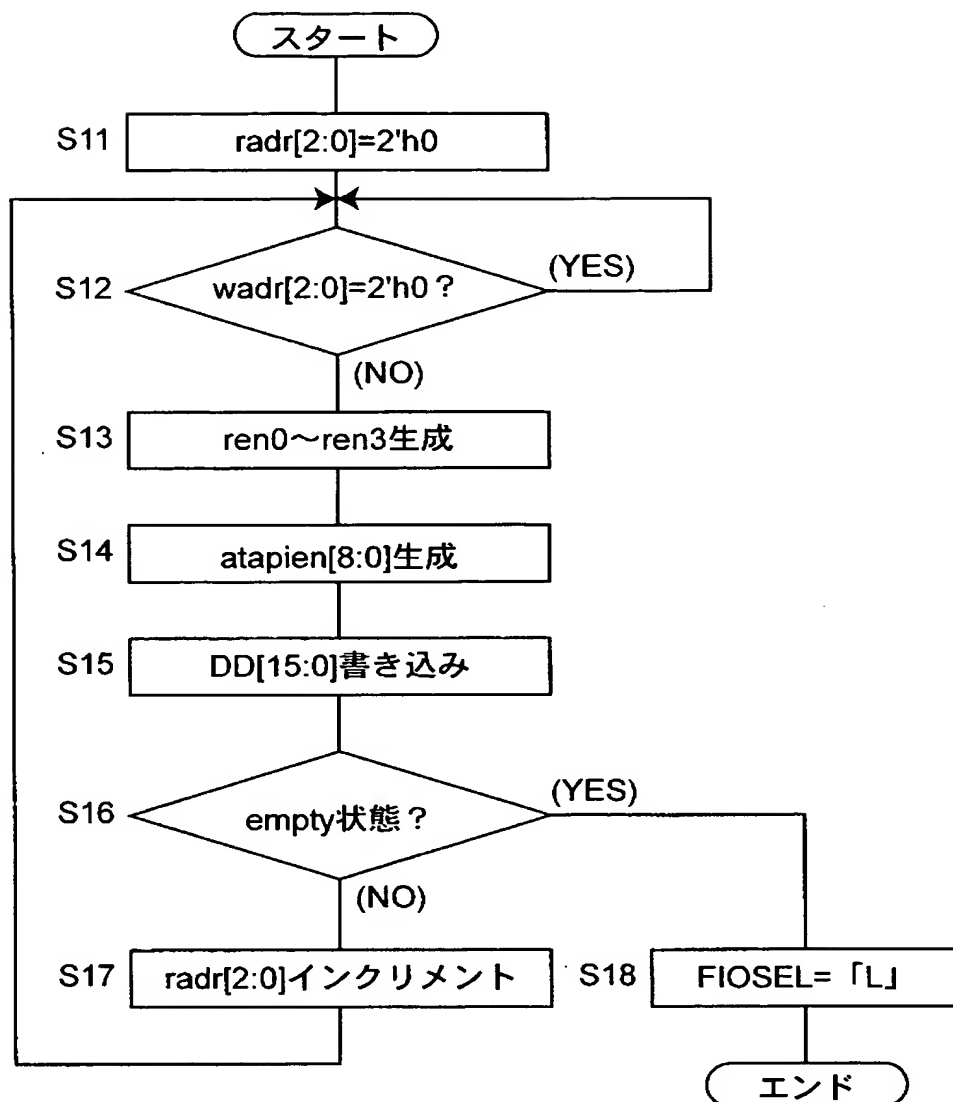
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 低消費電力状態のクロック周波数をより小さくすると共に、ノイズに強く誤動作しないようにすることができ、ホスト装置とのインタフェースを行う部分を同期式で多重化して、ホスト装置からのアクセスを順番に実行できるインタフェース回路及びインタフェース回路を有する光ディスク装置を得る。

【解決手段】 クロック周波数をより小さくした低消費電力状態から通常状態に復帰する際、第 1 F I F O メモリ 4 1 に A T A / A T A P I レジスタ回路 1 1 の所望のレジスタのアドレスを示すデータを格納すると共に第 2 F I F O メモリ 5 1 に A T A / A T A P I レジスタ回路 1 1 の所望のレジスタに書き込むデータを格納し、該第 2 F I F O メモリ 5 1 に格納したデータを第 1 F I F O メモリ 4 1 に格納したデータが示すアドレスの A T A / A T A P I レジスタ回路 1 1 のレジスタに第 2 F I F O メモリ 5 1 に格納したデータを書き込むようにした。

【選択図】 図 5

特願 2 0 0 3 - 0 7 2 1 4 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 7 4 7]

1. 変更年月日	2 0 0 2 年 5 月 1 7 日
[変更理由]	住所変更
住 所	東京都大田区中馬込 1 丁目 3 番 6 号
氏 名	株式会社リコー